

Proposition de stage – Année 2023-2024

Niveau du stage : Master 2 ou Ecole d'Ingénieur

Durée du stage : 5 mois

Responsable du stage : Mokrane DAHOUMANE

Téléphone : +33 (0)4 72 43 11 05

Email : m.dahoumane@ipnl.in2p3.fr

Adresse : IP2I Lyon – Bureau 210-R-16bis
Domaine Scientifique de la Doua – Bât. Paul Dirac
4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

Thématique : Microélectronique analogique/digitale

Intitulé du stage : Design d'un TDC rapide de 1ps rms de résolution : modélisation en Verilog-A et Verilog du circuit et simulation dans un environnement mixte analogique-numérique.

Description du travail demandé :

Contexte scientifique et technologique :

Ce développement vise plusieurs projets cibles exigeant la picoseconde de résolution. En Physique des Hautes Energies (HEP), la mesure de temps fine et précise de l'ordre de la picoseconde devient de plus en plus requise comme une 4ème dimension, pour éviter la dégénérescence due au pile-up et améliorer la construction des processus physiques. Ou la future génération de Tomographies à émission de positon (TEP) nécessitera une mesure de temps de vol (Time of Flight : ToF) avec une précision meilleure que 10 ps rms et un temps mort inférieur à 10 ns...

La/le stagiaire contribuera à la réalisation d'un ASIC (Application-Specific Integrated Circuit) dans le cadre du projet R&T/IN2P3 FASTIME dont l'objectif est de développer une chaîne complète de mesure de temps avec une précision de l'ordre de la picoseconde et un temps mort inférieur à 10 ns.

Objectifs du stage :

Le travail du stage portera sur la modélisation en VerilogA et Verilog des blocs constituant un ASIC et la simulation du circuit dans un environnement mixte analogique/digital.

Ce travail s'appuiera sur une version existante d'un ASIC 4 voies intégrant un Front End, Discriminateur, TDC et la logique de contrôle et readout. Ce circuit est en cours de test. Ainsi, le/la stagiaire pour se familiariser au contexte, il/elle participera à quelques tests électriques.

Les spécifications du circuit :

- Jitter < 1 ps rms
- Temps mort < 10 ns
- LSB équivalent réglable autour de 3 ps (pour minimiser le bruit de quantification)
- Puissance dissipée 300 μ W par voie

- Circuit multivoie : 4 voies
- Gamme dynamique du TDC : 1ns. La dynamique est extensible moyennant un compteur grossier (Coarse Counter) de 10bits.
- Technologie CMOS 130 nm.

Profil recherché et compétences souhaitées et à développer :

- Bac + 5, Diplôme d'ingénieur ou Master2, avec une spécialisation en micro-électronique/conception et vérification de circuits intégrés.
- Bon niveau d'anglais.
- Aptitude à travailler en équipe
- Une base en conception analogique et numérique, en langages de description (Verilog et Veriloga) de matériel et de vérification, en simulation.
- Utilisation des outils du logiciel Cadence : digital Xcelium et Virtuoso (AMS).

Le/la stagiaire sera intégré (e) dans une équipe de 6 ingénieurs de recherche en conception en microélectronique à l'IP2I (<http://www.ip2i.in2p3.fr/>). L'équipe de microélectronique développent dans le cadre de collaborations nationales et internationales des ASICs complexes pour répondre essentiellement aux demandes des expériences en physiques des hautes énergies dans lesquelles le labo participe activement.

Méthodologie :

- Elaborer et rédiger des documents de spécifications en fonction du cahier des charges
- Etude bibliographique sur les circuits de mesures de temps rapide et précis
- Concevoir des modèles numériques des blocs analogiques en utilisant le langage Veriloga
- Debugger en utilisant le simulateur digital Xcelium pour les parties numériques et Virtuoso (AMS) pour la parties analogiques et mixtes
- Rédaction et communication des résultats tout au long du stage.

Le montant mensuel de la gratification est de 659.76 euros.