

Proposition de stage – Année 2024-2025

Niveau du stage : M2

Durée du stage : 6 mois

Ouverture éventuelle vers un sujet de thèse : Non

Type de financement envisagé :

Responsable du stage : Luigi Caponetto

Téléphone :

Email : caponetto@ip2i.in2p3.fr

Adresse : IP2I Lyon – Bureau RDC12

Domaine Scientifique de la Doua – Bât. Paul Dirac

4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

Equipe d'encadrement : L. Caponetto, L. Balleyguier

Thématique : Microélectronique numérique et mixte

Intitulé du stage : Implémentation physique d'un processeur RISC-V : optimisation pour performance et consommation

Description du travail demandé :

Les processeurs RISC-V sont de plus en plus adoptés pour leur flexibilité et leur architecture open-source, ce qui en fait des choix idéaux pour de nombreux systèmes embarqués et applications IoT. L'implémentation physique d'un processeur RISC-V pose plusieurs défis liés à l'optimisation des performances, à la réduction de la consommation énergétique et à la gestion des contraintes géométriques des technologies CMOS avancées.

Le but du stage est d'implémenter et de caractériser un cœur de processeur RISC-V dans le cadre d'une technologie CMOS avancée. Ce travail inclut plusieurs étapes :

- **Prise en main des outils et des concepts :** Comprendre l'architecture RISC-V et la chaîne d'outils associée (génération du RTL, synthèse logique, placement et routage).
- **Optimisation de l'implémentation RTL :** Identifier les modules critiques en termes de timing et de consommation, et proposer des optimisations.
- **Implémentation physique :** Générer le design complet, de la synthèse logique au placement et routage, en utilisant les outils disponibles au sein de l'institut (suite Cadence).
- **Analyse et caractérisation :** Évaluer les performances en termes de fréquence maximale atteignable, consommation énergétique, et surface occupée, en tenant compte des contraintes technologiques.
- **Itérations et optimisations :** Affiner le design pour améliorer les métriques critiques identifiées.

L'objectif final est d'obtenir un processeur fonctionnel, optimisé pour une application donnée (à définir avec le candidat), tout en respectant les contraintes technologiques d'une fabrication potentielle en silicium.

Compétences développées :

Conception numérique HDL (SystemVerilog/VHDL).

Utilisation des outils de conception et implémentation physique (Cadence Genus, Innovus, etc.).

Analyse de timing et de consommation énergétique.

Méthodologie de conception Digital-On-Top pour circuits intégrés.

Technologies et outils utilisés :

Suite Cadence pour synthèse et implémentation physique.

Simulateurs numériques pour validation fonctionnelle et caractérisation.

Générateurs de cœurs RISC-V open-source (e.g., Rocket, PicoRV32).

Le stage s'inscrit dans une démarche pédagogique visant à initier les étudiants à toutes les étapes du cycle de conception d'un circuit intégré numérique, avec une attention particulière à l'implémentation physique et aux contraintes technologiques.

Internship offer – Year 2024-2025

Internship level : M2

Duration : 6 mois

Possible PhD follow up : No

Proposed PhD funding type :

Supervisor : Luigi Caponetto

Phone :

Email : caponetto@ip2i.in2p3.fr

Address : IP2i Lyon – Bureau RDC12

Domaine Scientifique de la Doua – Bât. Paul Dirac

4 rue Enrico Fermi – 69622 Villeurbanne Cedex - France

Mentoring team : L. Caponetto, L. Balleyguier

Research field: mixed and digital microelectronics

Internship title: Physical Implementation of a RISC-V Processor: Optimization for Performance and Power Efficiency

Work description:

RISC-V processors are increasingly adopted for their flexibility and open-source architecture, making them ideal choices for embedded systems and IoT applications. The physical implementation of a RISC-V processor presents several challenges related to performance optimization, power consumption reduction, and compliance with the geometric constraints of advanced CMOS technologies.

The objective of the internship is to implement and characterize a RISC-V processor core using an advanced CMOS technology node. The work will involve several stages:

1. **Familiarization with tools and concepts:** Understand the RISC-V architecture and the associated toolchain (RTL generation, logic synthesis, placement, and routing).
2. **RTL implementation optimization:** Identify critical modules in terms of timing and power consumption, and propose optimizations.
3. **Physical implementation:** Generate the complete design, from logic synthesis to placement and routing, using the tools available at the institute (Cadence suite).
4. **Analysis and characterization:** Evaluate the performance in terms of maximum achievable frequency, power consumption, and silicon area, while adhering to technological constraints.

5. **Iterations and optimizations:** Refine the design to improve critical metrics identified during analysis.

The ultimate goal is to achieve a functional processor optimized for a specific application (to be defined with the intern) while considering the technological constraints for potential silicon fabrication.

Skills to be developed:

- HDL-based digital design (SystemVerilog/VHDL).
- Use of tools for physical design and implementation (Cadence Genus, Innovus, etc.).
- Timing analysis and power consumption characterization.
- Digital-On-Top design methodology for integrated circuits.

Technologies and tools to be used:

- Cadence suite for synthesis and physical implementation.
- Digital simulators for functional validation and characterization.
- Open-source RISC-V core generators (e.g., Rocket, PicoRV32).

This internship aims to provide students with hands-on experience in the entire design cycle of a digital integrated circuit, with a particular focus on physical implementation and compliance with technological constraints.