

Proposition de Thèse au Laboratoire de Physique Clermont-Auvergne (LPCA)

Conception d'une architecture de lecture auto-déclenchée pour l'échantillonnage ultra-rapide

1. Contexte Scientifique et Motivation

Dans les expériences de physique des hautes énergies modernes, la mesure extrêmement précise du temps d'arrivée des particules (résolution de l'ordre de la dizaine de picosecondes) est devenue une exigence indispensable pour faire face à la très haute luminosité et à l'empilement des événements. La technique d'échantillonnage ultra-rapide du signal analogique s'est imposée comme l'une des méthodes les plus performantes, illustrée par le succès de la famille de circuits SAMPIC.

Récemment, l'ASIC SPIDER a été développé pour l'expérience LHCb (sur le LHC au CERN), proposant une architecture de numérisation multi-banque très performante en terme de temps mort. Tout comme SAMPIC, il est auto-déclenché mais optimisé pour une arrivée du signal quasi-synchrone avec l'horloge. Cependant, pour la plupart des applications hors des grands détecteurs sur collisionneur, les circuits doivent pouvoir travailler sur des signaux aléatoires. Cela signifie qu'un nouveau circuit devrait être capable d'échantillonner continuellement le signal comme SAMPIC, d'offrir comme SPIDER la capacité de commutation multi-banque pour optimiser le temps mort, et de déclencher la numérisation de manière autonome sans attendre un signal de validation externe global comme les deux précédents.

Ce projet de thèse s'inscrit au cœur d'un programme de Recherche et Technologie (R&T) conjoint entre le LPCA (Clermont-Ferrand), IJCLab et l'IRFU (Saclay). L'objectif est de concevoir l'architecture de cette prochaine génération d'échantillonneurs rapides.

2. Objectifs de la Thèse

L'objectif principal est de faire évoluer l'architecture du circuit SPIDER, en technologie CMOS 65 nm, pour rendre l'échantillonnage continu tout en conservant le déclenchement autonome, en maintenant d'excellentes performances en résolution temporelle et en limitant la consommation électrique. Ce travail de conception microélectronique mixte s'articulera autour de trois grands axes :

2.1. Axe 1 : Travail de modélisation et d'architecture système

Avant de concevoir les transistors au niveau physique, un travail de spécification et de définition architecturale est primordial pour valider le comportement du système face à de forts flux de données aléatoires. Le doctorant ou la doctorante devra modéliser l'architecture complète du circuit (matrice(s) de cellules d'échantillonnage, gestion de la mémoire temporelle, logique de déclenchement) en utilisant un langage de description comportementale (SystemVerilog). Cette étape permettra d'étayer et affiner les choix architecturaux et de vérifier la fonctionnalité du circuit face à différents scénarios.

2.2. Axe 2 : Conception et optimisation du bloc Analogique et de la logique Numérique embarquée

L'étage d'entrée doit être repensé pour étendre la fonction d'auto-déclenchement et de buffering à un échantillonnage continu. Il faudra adapter l'adressage des cellules à capacités commutées (*Switched-Capacitors Array*) héritées de SPIDER pour permettre une écriture continue et la commutation d'échantillonnage pilotée par le déclencheur local. Cette étape nécessitera des développements sur la partie analogique ainsi que développer la logique (RTL) permettant de gérer l'allocation des blocs de mémoire analogique.

2.3. Axe 3 : Correction numérique intégrée

La numérisation des échantillons est affectée par des non-uniformités systématiques, qui doivent être corrigées après acquisition. L'objet de ce 3ème axe est d'explorer la faisabilité d'une correction au moins partielle embarquée dans la puce (soustraction des piédestaux) et le cas échéant d'en développer une implémentation (incluant la calibration des coefficients par des acquisitions dédiées).

3. Profil Recherché

Vous êtes titulaire d'un Bac + 5, Diplôme d'ingénieur ou Master, avec une spécialisation en micro-électronique/conception et vérification de circuits intégrés. Vous avez de solides bases en architecture des circuits intégrés et conception analogique et numérique, et vous maîtrisez au moins un langage HDL.

Vous possédez un sens de l'investigation et de la méthode, vous faites preuve de curiosité, d'autonomie et d'une capacité à mener un projet à son terme.

4. Contacts

Afin de postuler, vous pouvez envoyer un CV et une lettre de motivation à :

- hervé Chanal : hervé.chanal@clermont.in2p3.fr
- Baptiste Joly : baptiste.joly@clermont.in2p3.fr